

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353848

(43)Date of publication of application : 19.12.2000

(51)Int.Cl.

H01S 5/026
G02F 1/025
H01L 21/306
H01L 21/308
H01S 5/227

(21)Application number : 11-163827

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.06.1999

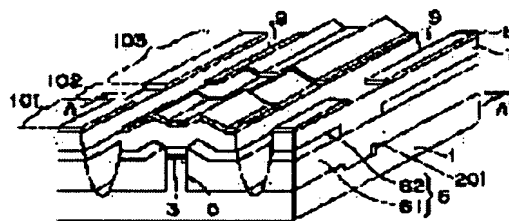
(72)Inventor : KADOWAKI TOMOKO
TADA HITOSHI
TAKIGUCHI TORU
MIHASHI YUTAKA

(54) SEMICONDUCTOR LASER DIODE WITH OPTICAL MODULATOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable rapid operation by raising separation resistance of an isolation part by forming a high resistance InP layer on a surface of both sides of a mesa part formed lower than a laser oscillation part and an optical modulator part in an isolation part.

SOLUTION: A mesa 5 having a vertical side surface to a substrate 1 is formed and a recessed part 201 is formed in an isolation part 102 in a surface wherein a buried layer is formed by making the depth of the mesa 5 deep in the isolation part 102 and shallow in a laser oscillation part 103 and a modulator part 101. That is, if an n-type InP layer 62 is in contact with a mesa top and is set thick enough in the laser oscillation part 103 and the modulator part 101, the n-type InP layer 62 is formed apart from the mesa 5 in an isolation part. Therefore, the n-type InP 62 does not remain in the isolation mesa part 102, separation resistance of an isolation part can be made high, and rapid operation is possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-353848
(P2000-353848A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 S 5/026		H 0 1 S 5/026	2 H 0 7 9
G 0 2 F 1/025		G 0 2 F 1/025	5 F 0 4 3
H 0 1 L 21/306		H 0 1 L 21/308	C 5 F 0 7 3
21/308		H 0 1 S 5/227	
H 0 1 S 5/227		H 0 1 L 21/306	B
審査請求 未請求 請求項の数13 O L (全 19 頁)			

(21) 出願番号 特願平11-163827

(22) 出願日 平成11年6月10日 (1999. 6. 10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 門脇 朋子

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 多田 仁史

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

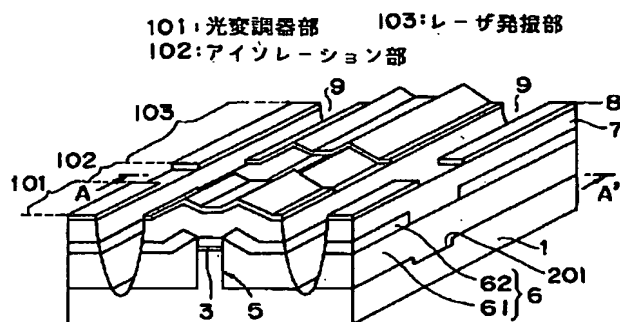
最終頁に続く

(54) 【発明の名称】 光変調器付半導体レーザダイオードとその製造方法

(57) 【要約】

【課題】 アイソレーション部の分離抵抗を高くでき、高速動作が可能な変調器付半導体レーザダイオードを提供する。

【解決手段】 InP基板上に、形成されたメサ部と、メサ部の両側に埋め込み成長された高抵抗InP層と、メサ部及び高抵抗InP層上に形成されたp型クラッド層とを備え、アイソレーション部により一端側のレーザ発振部と他端側の光変調器部とが分離されかつレーザ発振部及び光変調器部における高抵抗InP層上とp型クラッド層との間にn型InP層が形成されてなる光変調器付半導体レーザダイオードにおいて、高抵抗InP層は、アイソレーション部においてレーザ発振部及び光変調器部より低くなるように形成された面上に成長した。



- 1: InP 基板
- 3: 吸収層
- 5: メサ
- 6: 電流ブロック層
- 61: 高抵抗InP層
- 62: n型 InP 層
- 7: p型 InP クラッド層
- 8: p型コンタクト層
- 9: メサ溝

【特許請求の範囲】

【請求項 1】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗 I n P 層と、上記メサ部及び上記高抵抗 I n P 層上に形成された p 型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗 I n P 層上と p 型クラッド層との間に n 型 I n P 層が形成されてなる光変調器付半導体レーザダイオードにおいて、

上記高抵抗 I n P 層は、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より低くなるように形成された上記メサ部両側の面上に成長されていることを特徴とする光変調器付半導体レーザダイオード。

【請求項 2】 上記メサ部は、上記 I n P 基板上に活性層を含む半導体層を形成して、該メサ部の両側の半導体層をドライエッチングにより除去することにより形成されている請求項 1 記載の光変調器付半導体レーザダイオード。

【請求項 3】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗 I n P 層と、上記メサ部及び上記高抵抗 I n P 層上に形成された p 型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗 I n P 層上と p 型クラッド層との間に n 型 I n P 層が形成されてなる光変調器付半導体レーザダイオードにおいて、

上記メサ部の両側に溝が形成されかつ上記メサ部は上記アイソレーション部において、上記メサ部の両側面がそれぞれ、上記各溝の側壁と一致するように、かつ上記レーザ発振部及び光変調器部において上記メサ部の両側面が上記各溝の側壁の内側に位置するように形成されていることを特徴とする光変調器付半導体レーザダイオード。

【請求項 4】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗 I n P 層と、上記メサ部及び上記高抵抗 I n P 層上に形成された p 型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗 I n P 層上と p 型クラッド層との間に n 型 I n P 層が形成されてなる光変調器付半導体レーザダイオードにおいて、

上記メサ部は上記レーザ発振部、上記アイソレーション部及び光変調器部において略同一の幅を有し、

上記高抵抗 I n P 層は、上記アイソレーション部において上記レーザ発振部及び光変調器部より広い幅の選択成長マスクを用いて成長されていることを特徴とする光変調器付半導体レーザダイオード。

【請求項 5】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗 I n P 層と、上記メサ部及び上記高抵抗 I n P 層上に形成された p 型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗 I n P 層上と p 型クラッド層との間に n 型 I n P 層が形成されてなる光変調器付半導体レーザダイオードにおいて、

10 上記高抵抗 I n P 層は、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より高くなるように形成された上記メサ部両側の面上に成長されていることを特徴とする光変調器付半導体レーザダイオード。

【請求項 6】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗 I n P 層と、上記メサ部及び上記高抵抗 I n P 層上に形成された p 型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗 I n P 層上と p 型クラッド層との間に n 型 I n P 層が形成されてなる光変調器付半導体レーザダイオードにおいて、

20 上記高抵抗 I n P 層は、上記アイソレーション部において上記メサ部から離れた位置で盛り上がるように成長されていることを特徴とする光変調器付半導体レーザダイオード。

【請求項 7】 上記メサ部は、上記半導体基板上に活性層を含む半導体層を形成して、該メサ部の両側の半導体層をウェットエッチングで除去することにより形成され、

30 上記一對の溝はウェットエッチングで形成されている請求項 3～6 のうちのいずれか 1 項に記載の光変調器付レーザダイオード。

【請求項 8】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、

上記 I n P 基板上に上記活性層を含む半導体層を形成し、上記メサ部に対応してマスクを形成して該マスクの両側の半導体層を上記アイソレーション部において上記レーザ発振部及び上記光変調器部より深く除去するようにして上記メサ部を形成するエッチング工程と、

上記マスクを選択成長マスクとして上記メサ部の両側に高抵抗 I n P 層を成長させ、該高抵抗 I n P 層上の上記レーザ発振部及び上記光変調器部において、上記メサ部の上面端に到達し、かつ上記高抵抗 I n P 層上の上記アイソレーション部においては上記メサの上面端に到達しないように n 型 I n P 層を成長させる成長工程と、

50 上記アイソレーション部の n 型 I n P 層を除去する除去工程とを含むことを特徴とする光変調器付半導体レーザ

ダイオードの製造方法。

【請求項 9】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、

上記 I n P 基板上に上記活性層を含む半導体層を形成し、上記メサ部に対応して上記アイソレーション部で上記レーザ発振部及び上記光変調器部より幅が広がるようにマスクを形成して該マスクの両側の半導体層を除去することにより、上記アイソレーション部のメサ部の幅が上記レーザ発振部及び上記光変調器部の幅より広いメサ部を形成するエッチング工程と、

上記マスクを選択成長マスクとして上記メサ部の両側に高抵抗 I n P 層を成長させ、該高抵抗 I n P 層上に n 型 I n P 層を成長させる成長工程と、

上記レーザ発振部及び光変調器部における上記メサ部の幅より広くかつ上記アイソレーション部における上記メサ部の幅より狭い間隔で、上記メサ部に対して対称になるように互いに平行な 2 つの溝を形成する溝形成工程とを含むことを特徴とする光変調器付レーザダイオードの製造方法。

【請求項 10】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、

上記メサ部上に設けられた、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より幅の広い部分を有するマスクを選択成長マスクとして上記メサ部の両側に高抵抗 I n P 層を成長させ、該高抵抗 I n P 層上に n 型 I n P 層を成長させる成長工程と、

上記アイソレーション部における n 型 I n P 層を除去する除去工程とを含むことを特徴とする光変調器付半導体レーザダイオードの製造方法。

【請求項 11】 上記成長工程において、上記アイソレーション部に幅の広い部分を複数箇所設けたマスクを選択成長マスクとして用いた請求項 10 記載の光変調器付半導体レーザダイオードの製造方法。

【請求項 12】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、

上記 I n P 基板上に上記活性層を含む半導体層を形成し、上記メサ部に対応してマスクを形成して該マスクの両側の半導体層を上記アイソレーション部において上記レーザ発振部及び上記光変調器部より浅く除去することにより上記メサ部を形成するエッチング工程と、

上記マスクを選択成長マスクとして高抵抗 I n P 層を上

記アイソレーション部において上記選択成長マスクの下端に接するまで成長させた後、さらに該高抵抗 I n P 層上に n 型 I n P 層を成長させる成長工程と、

上記アイソレーション部の n 型 I n P 層を除去する除去工程とを含むことを特徴とする光変調器付半導体レーザダイオードの製造方法。

【請求項 13】 I n P 基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、

上記メサ部上に設けられた選択成長マスクと、上記アイソレーション部に該選択成長マスクの両側に所定の間隔を隔てて設けられた成長膜厚増大マスクとを用いて上記メサ部の両側に高抵抗 I n P 層を成長させた後、さらに該高抵抗 I n P 層上に n 型 I n P 層を成長させる成長工程と、

上記アイソレーション部の n 型 I n P 層を除去する除去工程とを含むことを特徴とする光変調器付半導体レーザダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、主として超高速光通信システムに用いられる光変調器付きレーザに関するものである。

【0002】

【従来の技術】半導体レーザと光ファイバを用いて大量のデータを送信するためには、半導体レーザを高速で変調する必要がある。しかし、これまでの、単一モード半導体レーザを注入電流を変えて直接変調する方式では、注入キャリア密度の変動による波長変動（波長チャージング）が大きいため、例えば、10 Gbps 以上の高速変調には使えない。

【0003】そこで、これまでの直接変調方式に代わって、波長チャージングの小さい光変調器で半導体レーザを変調する方式が注目されるようになってきた。このような用途に用いられるのが、「光変調器付きレーザ」である。光変調器付きレーザは、単一モード半導体レーザと半導体レーザを変調するための高速光変調器を 1 チップ上に集積化しているので、光変調器とレーザ間の回路が不要なため実用性が高く、大容量光通信のキーデバイスとして極めて重要である。ところで、光変調器付きレーザの高速動作を実現するためには、変調器部の電気容量低減と、レーザと変調器間のアイソレーション部の高抵抗化が必要である。

【0004】従来の光変調器付半導体レーザダイオードは、図 48、図 49 に示すように以下のように構成されている。ここで、図 48、図 49 において、(1) は I n P 基板、(203) は (変調器の) 吸収層、(205) は活性層、吸収層を含むメサ、(206) は電流プ

5

ロック層、(261)は高抵抗InP層、(262)はn型InP層、(207)はp型InPクラッド層、(208)はp型InGaAsコンタクト層、(9)はプロセスメサ溝、である。

【0005】図48に示すように、光変調器付半導体レーザダイオードにおいては、レーザ発振部303と変調器部301の間のアイソレーション部302の分離抵抗を大きくするために、(1)アイソレーション部302のn型InP層262を除去する、(2)p型InGaAsコンタクト層208を除去する、等の工夫をしている。しかし、(1)においては、実際には、n型InP層262が完全に除去できないことから、レーザ発振部303と変調器部301間の分離抵抗が低くなり、高周波リークが発生して、高速動作を妨げるという問題がしばしば発生する。従来の光変調器付半導体レーザダイオードの問題点を、プロセスフローに従って、さらに詳細に説明する。

【0006】従来の光変調器付レーザダイオードの製造方法では、まず、図39に示すように、InP基板1上に、レーザ発振部303の活性層202、変調器部301の吸収層203を含む所定の結晶層をエピタキシャル成長した後、約6 μ m幅のSiO₂等の絶縁膜204をマスクにして、例えば、HBr等のエッチング液を用いたウェットエッチングにより、活性層202と吸収層203を含むメサ205を形成する。この時、メサ205の深さが約4 μ m、活性層202あるいは吸収層203の幅が約1.3 μ mになるようにする。

【0007】次に、図40に示すように、メサ205形成に用いたSiO₂等の絶縁膜204を選択成長マスクとして用いて、メサ205側面に、電流ブロック層206として、高抵抗InP層261を2~3 μ mの厚さに、n型InP層262を約1.0 μ mの厚さに、MOCVD法により連続して埋め込み成長する。高抵抗InP層261のドーパントとしては、例えば、Feを、また、n型InP層262のドーパントとしては、例えば、Sを用いる。

【0008】ここで、高抵抗InP層261の上にn型InP層262を設ける理由を説明する。仮に、高抵抗InP層261上に直接p型InPクラッド層207を成長すると、p型InPクラッド層207のドーパントであるZnと高抵抗InP層261のドーパントであるFeが相互拡散して、高抵抗InP層261の抵抗を下げてしまう。しかし、p型InPクラッド層207と高抵抗InP層261との間にn型InP層262を設けることによって、p型InPクラッド層207から高抵抗InP層261に向かって拡散しようとするZnをn型InP層262がトラップするので、高抵抗InP層261の低抵抗化を防ぐことができる。

【0009】なお、図40のE-E'線についての断面(アイソレーション部302の断面)は、図41に示す

6

ように、図40に示した変調器側端面と同じ形状になっている。次に、図42に示すように、アイソレーション部302に相当する位置を所定の深さまでドライエッチングすることによって、アイソレーション部302のn型InP層262を除去する。この時、エッチング量が少なすぎるとメサ205から離れた位置の層厚が厚い部分のn型InP層262が残ってしまうし、エッチング量が多すぎると、レーザ部303の活性層202、あるいは、変調器部301の吸収層203までエッチングされてしまうので、後工程で形成されるプロセスメサ溝より内側になる領域のn型InP層262が除去できる深さとして、エッチング量を約0.6 μ m程度に設定している。n型InP層262の除去がうまくいった場合、アイソレーション部302の断面は、図43に示すように、n型InP層262はきれいに除去されてなくなっている。

【0010】次に、図44、図45に示すようにウエハ全面にp型InPクラッド層207、p型InGaAsコンタクト層208を成長する。次に、図46、図47に示すように、アイソレーション部のp型InGaAsコンタクト層208を酒石酸等のエッチング液を用いてエッチング除去する。最後に、図48に示すように、約5~7 μ m幅の間隔で互いに平行なプロセスメサ溝9を設けて、光変調器付半導体レーザダイオードが完成する。完成した素子のアイソレーション部302の断面は、図49のようになっており、n型InP層262の除去、p型InGaAsコンタクト層208の除去、および、プロセスメサ溝9の形成によって、分離抵抗の高抵抗化が図られている。

【0011】このようにn型InP層262とp型InGaAsコンタクト層208が完全に除去されて、プロセスメサ溝が5~7 μ m幅に出来上がった場合、レーザ発振部303と変調器部間の分離抵抗は十数 Ω になる。

【0012】

【発明が解決しようとする課題】しかしながら、実際には、アイソレーション部302のn型InP層262が図43に示したように完全には除去できないという問題点があった。例えば、図50に示すように、メサ205近傍のn型InP層262が残存することがある。これは、メサ205近傍のn型InP層262は選択成長マスクのSiO₂と接しているために、結晶成長中にInPが変質してエッチングされにくくなるためであると推測される。また、他の例としては、n型InP層262をエッチングする際に活性層202や吸収層203もエッチングされてしまわないよう、エッチング量は必要最小限の約0.6 μ mに設定しているのので、n型InP層262が厚めに成長していた場合、図51に示すように、プロセスメサ溝9の内側に位置するn型InP層262が残存してしまう。このようにアイソレーション部にn型InP層262がわずかでも残存すると、レーザ

発振部 303 と変調器部間の分離抵抗は数Ωに下がってしまう。その結果、レーザ初深部と変調器部の間に高周波リークが発生し変調器付きレーザダイオードの高速動作を損なうという問題があった。

【0013】そこで、本発明は、従来の問題点を解決し、アイソレーション部の分離抵抗を高くでき、高速動作が可能な変調器付半導体レーザダイオードを提供することを目的とする。

【0014】

【課題を解決するための手段】以上の目的を達成するために、本発明に係る第1の光変調器付半導体レーザダイオードは、InP基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗InP層と、上記メサ部及び上記高抵抗InP層上に形成されたp型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗InP層上とp型クラッド層との間にn型InP層が形成されてなる光変調器付半導体レーザダイオードにおいて、上記高抵抗InP層は、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より低くなるように形成された上記メサ部両側の面上に成長されていることを特徴とする。このように構成すると、アイソレーション部におけるn型InP層の残存が極めて少ない光変調器付半導体レーザダイオードとできる。

【0015】また、本発明に係る第1の光変調器付半導体レーザダイオードは、アイソレーション部におけるn型InP層の残存をより少なくするために上記メサ部は、上記InP基板上に活性層を含む半導体層を形成して、該メサ部の両側の半導体層をドライエッチングにより除去することにより形成されていることが好ましい。

【0016】また、本発明に係る第2の光変調器付半導体レーザダイオードは、InP基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗InP層と、上記メサ部及び上記高抵抗InP層上に形成されたp型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗InP層上とp型クラッド層との間にn型InP層が形成されてなる光変調器付半導体レーザダイオードにおいて、上記メサ部の両側に溝が形成されかつ上記メサ部は上記アイソレーション部において、上記メサ部の両側面がそれぞれ、上記各溝の側壁と一致するように、かつ上記レーザ発振部及び光変調器部において上記メサ部の両側面が上記各溝の側壁の内側に位置するように形成されていることを特徴とする。以上のような構成にすると、製造過程ではアイソレーション部に全くn型InP層を形成することなく、光変調器付半導体レーザダイオードを製造

することが可能となる。

【0017】また、本発明に係る第3の光変調器付半導体レーザダイオードは、InP基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗InP層と、上記メサ部及び上記高抵抗InP層上に形成されたp型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗InP層上とp型クラッド層との間にn型InP層が形成されてなる光変調器付半導体レーザダイオードにおいて、上記メサ部は上記レーザ発振部、上記アイソレーション部及び光変調器部において略同一の幅を有し、上記高抵抗InP層は、上記アイソレーション部において上記レーザ発振部及び光変調器部より広い幅の選択成長マスクを用いて成長されていることを特徴とする。このように構成すると、アイソレーション部におけるn型InP層の残存が極めて少ない光変調器付半導体レーザダイオードとできる。

【0018】さらに、本発明に係る第4の光変調器付半導体レーザダイオードは、InP基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗InP層と、上記メサ部及び上記高抵抗InP層上に形成されたp型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗InP層上とp型クラッド層との間にn型InP層が形成されてなる光変調器付半導体レーザダイオードにおいて、上記高抵抗InP層は、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より高くなるように形成された上記メサ部両側の面上に成長されていることを特徴とする。このように構成しても、アイソレーション部におけるn型InP層の残存が極めて少ない光変調器付半導体レーザダイオードとできる。

【0019】またさらに、本発明に係る第5の光変調器付半導体レーザダイオードは、InP基板上に、一端から他端に至る帯状に形成されたメサ部と、該メサ部の両側に埋め込み成長された高抵抗InP層と、上記メサ部及び上記高抵抗InP層上に形成されたp型クラッド層とを備え、アイソレーション部により上記一端側のレーザ発振部と上記他端側の光変調器部とが分離されかつ上記レーザ発振部及び上記光変調器部における上記高抵抗InP層上とp型クラッド層との間にn型InP層が形成されてなる光変調器付半導体レーザダイオードにおいて、上記高抵抗InP層は、上記アイソレーション部において上記メサ部から離れた位置で盛り上がるように成長されていることを特徴とする。このように構成しても、アイソレーション部におけるn型InP層の残存が極めて少ない光変調器付半導体レーザダイオードとでき

る。

【0020】また、本発明に係る第2～第5の光変調器付半導体レーザダイオードでは、上記メサ部は、上記半導体基板上に活性層を含む半導体層を形成して、該メサ部の両側の半導体をウェットエッチングで除去することにより形成することができる。

【0021】本発明に係る第1の光変調器付半導体レーザダイオードの製造方法は、I n P基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、上記I n P基板上に上記活性層を含む半導体層を形成し、上記メサ部に対応してマスクを形成して該マスクの両側の半導体層を上記アイソレーション部において上記レーザ発振部及び上記光変調器部より深く除去するようにして上記メサ部を形成するエッチング工程と、上記マスクを選択成長マスクとして上記メサ部の両側に高抵抗I n P層を成長させ、該高抵抗I n P層上の上記レーザ発振部及び上記光変調器部において、上記メサ部の上面端に到達し、かつ上記高抵抗I n P層上の上記アイソレーション部においては上記メサの上面端に到達しないようにn型I n P層を成長させる成長工程と、上記アイソレーション部のn型I n P層を除去する除去工程とを含むことを特徴とする。このようにすると、アイソレーション部において上記n型I n P層を上記メサ部に接しないように成長させることができ、上記除去工程におけるアイソレーション部におけるn型I n P層の残存量を極めて少なくできる。

【0022】また、本発明に係る第2の光変調器付レーザダイオードの製造方法、I n P基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、上記I n P基板上に上記活性層を含む半導体層を形成し、上記メサ部に対応して上記アイソレーション部で上記レーザ発振部及び上記光変調器部より幅が広くなるようにマスクを形成して該マスクの両側の半導体層を除去することにより、上記アイソレーション部のメサ部の幅が上記レーザ発振部及び上記光変調器部の幅より広いメサ部を形成するエッチング工程と、上記マスクを選択成長マスクとして上記メサ部の両側に高抵抗I n P層を成長させ、該高抵抗I n P層上にn型I n P層を成長させる成長工程と、上記レーザ発振部及び光変調器部における上記メサ部の幅より広くかつ上記アイソレーション部における上記メサ部の幅より狭い間隔で、上記メサ部に対して対称になるように互いに平行な2つの溝を形成する溝形成工程とを含むことを特徴とする。このようにすると、製造過程において、n型I n P層を形成することなく、光変調器付半導体レーザダイオードを作製することができる。

【0023】さらに、本発明に係る第3の光変調器付半導体レーザダイオードの製造方法は、I n P基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、上記メサ部に設けられた、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より幅の広い部分を有するマスクを選択成長マスクとして上記メサ部の両側に高抵抗I n P層を成長させ、該高抵抗I n P層上にn型I n P層を成長させる成長工程と、上記アイソレーション部におけるn型I n P層を除去する除去工程とを含むことを特徴とする。このようにすると、アイソレーション部において上記n型I n P層を上記メサ部に接しないように成長させることができ、上記除去工程におけるアイソレーション部におけるn型I n P層の残存量を極めて少なくできる。

【0024】また、本発明に係る第3の光変調器付半導体レーザダイオードの製造方法においては、アイソレーション部におけるn型I n P層の残存量をより少なくするために、上記成長工程において、上記アイソレーション部に幅の広い部分を複数箇所設けたマスクを選択成長マスクとして用いてもよい。

【0025】また、本発明に係る第4の光変調器付半導体レーザダイオードの製造方法は、I n P基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、上記I n P基板上に上記活性層を含む半導体層を形成し、上記メサ部に対応してマスクを形成して該マスクの両側の半導体層を上記アイソレーション部において上記レーザ発振部及び上記光変調器部より浅く除去することにより上記メサ部を形成するエッチング工程と、上記マスクを選択成長マスクとして高抵抗I n P層を上記アイソレーション部において上記選択成長マスクの下端に接するまで成長させた後、さらに該高抵抗I n P層上にn型I n P層を成長させる成長工程と、上記アイソレーション部のn型I n P層を除去する除去工程とを含むことを特徴とする。このようにすると、アイソレーション部において上記n型I n P層を上記メサ部に接しないように成長させることができ、上記除去工程におけるアイソレーション部におけるn型I n P層の残存量を極めて少なくできる。

【0026】また、本発明に係る第5の光変調器付半導体レーザダイオードの製造方法は、I n P基板上に、一端から他端に至る帯状に形成されたメサ部を備え、上記一端側のレーザ発振部と上記他端側の光変調器部とがアイソレーション部により分離されてなる光変調器付半導体レーザダイオードの製造方法において、上記メサ部に設けられた選択成長マスクと、上記アイソレーション

部に該選択成長マスクの両側に所定の間隔を隔てて設けられた成長膜増大マスクとを用いて上記メサ部の両側に高抵抗 InP 層を成長させた後、さらに該高抵抗 InP 層上に n 型 InP 層を成長させる成長工程と、上記アイソレーション部の n 型 InP 層を除去する除去工程とを含むことを特徴とする。このようにすると、アイソレーション部において上記 n 型 InP 層を上記メサ部に接しないように成長させることができ、上記除去工程におけるアイソレーション部における n 型 InP 層の残存量を極めて少なくできる。

【0027】

【発明の実施の形態】以下、図面を参照して本発明に係る各実施の形態について説明する。

実施の形態 1. 図 1、図 2 に本発明の第 1 の実施例における光変調器付半導体レーザダイオードを示す。図 1 は斜視図、図 2 は図 1 における A-A' 断面図である。本実施の形態 1 の光変調器付半導体レーザダイオードは、図 1 に示すように基板 1 に対して垂直な側面をもつメサ 5 を形成し、かつ該メサ 5 の深さがアイソレーション部 102 で深く、レーザ発振部 103 と変調器部 101 で浅くすることにより、埋込層を成長させる面のアイソレーション部 102 に凹部 201 を形成している。このように構成したことにより、アイソレーションメサ部 102 に n 型 InP 層 62 が残存していない光変調器付半導体レーザダイオードを実現している。

【0028】以下、実施の形態 1 の光変調器付半導体レーザダイオードの製造方法を、図 3～図 11 に示すプロセスフローを用いて詳細に説明する。尚、図において、図 1、図 2 と同一のものには同一の符号を付して示している。本製造方法ではまず、図 3 に示すように、InP 基板上 1 上に、レーザ発振部 103 の活性層 2、変調器部の吸収層 3 を含む所定の結晶層をエピタキシャル成長した後、約 2 μm 幅の SiO₂ 等からなる絶縁膜 4 をマスクにして、CH₄-H₂ 系ガスを用いたドライエッチングにより、活性層 2 と吸収層 3 を含むメサ 5 を形成する。この際、アイソレーション部 102 におけるメサ深さ（高さ）は、その他の領域よりも 0.5 μm 程度深くなるように凹部 201 を形成する。

【0029】ドライエッチングで形成したメサ 5 の縦断面形状は、従来のウェットエッチングでメサを形成した時のなだらかなすが広がった形状とは異なり基板に対してほぼ垂直な側壁を持つ矩形となる。尚、SiO₂ 膜 4 の幅が約 2 μm、メサ 5 の深さが約 4 μm の時、活性層 2 あるいは吸収層 3 の幅は約 1.3 μm になる。次に、図 4 に示すように、メサ 5 形成に用いた SiO₂ 膜 4 を選択成長マスクとして用いて、メサ 5 の側面に、電流ブロック層 6 として、高抵抗 InP 層 61 と n 型 InP 層 62 を、MOCVD 法により連続して埋め込み成長する。

【0030】ここで、ドライエッチングで形成した矩形

のメサを選択成長マスクを用いて MOCVD 法で埋め込み成長する場合の成長過程と埋め込み形状について、図 12～図 14 を用いて説明する。まず、図 12 に示すように、メサ側壁に平行な (110) 面が成長表面からなくなるまでの成長過程 1 があり、次に、図 13 に示すように、(111) B 面上の成長がメサ 5 の頂上に到達するまでの成長過程 2 が続き、しかる後に、図 14 に示すような、(311) 面上と (001) 面上に成長する成長過程 3 が続く。なお、メサ側壁に MOCVD で結晶成長を行うには、成長中に HCl を添加する必要がある、添加する HCl 流量により、成長過程 1 における (110) 面の成長速度、ひいては、(111) B 面の長さを制御することができる。すなわち、添加する HCl 流量を減らすことにより、成長過程 1 における (001) 真上の成長速度に比べて (110) 面上の相対的な成長速度を早くすることができるので、(111) B 面の長さを長くすることができる。

【0031】従来例で説明したように、n 型 InP 層 62 を高抵抗 InP 層 61 のドーパントである Fe と p 型 InP クラッド層 7 のドーパントである Zn の相互拡散を防ぐための層として有効に機能させるためには、n 型 InP 層 62 がメサ 5 の頂上と接触して、かつ、メサ 5 近傍においても n 型 InP 層 62 がメサ 5 から離れたところと同程度に厚く成長させることが望ましい。このためには、成長過程 1、2 で高抵抗 InP 層 61 を成長させ、成長過程 3 に入ると同時に、n 型 InP 層 62 を成長するように層厚を設定する必要がある。

【0032】実験結果によると、メサ深さが 4 μm 程度の場合、高抵抗 InP 層 61 が 2～3 μm、n 型 InP 層 62 が約 1.0 μm の範囲で、所望の埋め込み形状、言い換えれば n 型 InP 層 62 がメサ 5 の頂上に接触して、かつ、メサ 5 近傍においても厚い埋め込み形状を得ることができる。このように成長させた本実施の形態 1 における、図 4 のアイソレーション部 102 の断面を、図 5 に示す。上述のように、レーザ発振部 103 および変調器部 101 において n 型 InP 層 62 がメサ頂上に接して、かつ、十分な厚みをもつような層厚に設定した場合、アイソレーション部においては、図 5 に示すように、n 型 InP 層 62 はメサ 5 から離れて形成される。これは、レーザ発振部 103 や変調器部 101 よりもアイソレーション部 102 のメサ深さを深くしていることによるもので、アイソレーション部 102 においては、成長過程 2 で n 型 InP 層 62 が成長されるからである。

【0033】次に、図 6、図 7 に示すように、アイソレーション部 102 において、n 型 InP 層 62 の表面から所定の深さまでドライエッチングすることによって、アイソレーション部 102 の n 型 InP 層 62 を除去する。このとき、本発明においては、アイソレーション部 102 の n 型 InP 層 62 はメサ 5 から離れているた

10

20

30

40

50

め、従来のように、メサ5近傍でn型InP層62が残存することはない。また、先に説明したように、ブロック層6の埋め込み成長時に添加するHCl流量を減らすことにより、(111)B面の長さを長くでき、ひいては、アイソレーション部102のメサ5とn型InP層62との距離を離すことができるので、n型InP層62を後工程で形成されるプロセスメサ溝9の幅5~7 μ mよりも外側に離すことができれば、アイソレーション部102のn型InP層62をエッチング除去する工程そのものをなくすことができ、工程の簡素化と安定化に大きく貢献できる。

【0034】これ以降のプロセスフローは、基本的に従来例と同じである。すなわち、図8、図9に示すように、ウエハ全面にp型InPクラッド層7、p型InGaAsコンタクト層8を成長し、次に、図10、図11に示すように、アイソレーション部102のp型InGaAsコンタクト層8をエッチング除去し、最後に、図1に示すように、5~7 μ m幅のプロセスメサ溝9を設けて、実施の形態1の光変調器付半導体レーザダイオードが完成する。完成した素子のアイソレーション部102の断面は、図2のようになっており、n型InP層62が完全に除去できている。

【0035】以上のように、本実施の形態1によれば、アイソレーション部102のn型InP層62を完全に除去できるので、十数 Ω 以上の分離抵抗を安定して得ることができ、高周波特性の良好で高速動作可能な素子を、高歩留まりで製造することができる。また、本実施の形態1によれば、アイソレーション部102のn型InP層62をエッチング除去する工程そのものをなくすことが可能となるので、工程の簡素化とプロセスの安定化、ひいては、歩留まりの向上が可能となる。

【0036】実施の形態2。次に、本発明に係る実施の形態2の光変調器付半導体レーザダイオードについて説明する。図15は実施の形態2の光変調器付半導体レーザダイオードを示す斜視図であり、図16は図15におけるB-B'線についての断面図である。本実施の形態2の光変調器付半導体レーザダイオードは、アイソレーション部102の活性層または吸収層の幅が、レーザ発振部103の活性層2または変調器部101の吸収層2の幅よりも広がっていて、かつ、アイソレーション部102におけるメサ5aにn型InP層62が残存していない構造を有する。

【0037】以下、実施の形態2の光変調器付半導体レーザダイオードの製造方法を、図15~図23を参照しながら説明する。尚、実施の形態2で示す図において、実施の形態1の説明に用いた図と同様のものには同様の符号を付して示している。

【0038】本製造方法では、まず、図17に示すように、InP基板上1上に、レーザ発振部103の活性層2、変調器部101の吸収層3を含む所定の結晶層をエ

ピタキシャル成長した後、SiO₂等の絶縁膜4aをエッチングマスクにして、ウェットエッチングにより、活性層2と吸収層3を含むメサ5aを形成する。この時のSiO₂等の絶縁膜4aの幅は、レーザ発振部103や変調器部101では従来と同じく約6 μ mとし、アイソレーション部102では、メサ5aの幅が後工程で形成されるプロセスメサ溝の幅よりも大きくなるように、10~12 μ mにする。

【0039】このSiO₂等の絶縁膜4aをエッチングマスクとしてHBr等を用いてウェットエッチングを行い、メサ5aを形成する。この時のメサ5aの形状は、従来同様、なだらかなすそ広がり形状となる。メサ深さが約4 μ mとなるようにエッチングをすると、レーザ発振部103の活性層2や変調器部101の吸収層3の幅は従来と同様、約1.3 μ mとなるのに対し、アイソレーション部102の吸収層幅は5.5~7.5 μ mと後工程で形成されるプロセスメサ幅よりも広がっている。

【0040】次に、図18に示すように、メサ5aの形成に用いたSiO₂膜4aを選択成長マスクとして用いて、メサ5aの側面に、電流ブロック層6として、高抵抗InP層61とn型InP層62を、MOCVD法により連続して埋め込み成長する。ここで、図18のアイソレーション部102における断面を、図19に示す。図19に示したように、アイソレーション部102においては、メサ5aの幅が約7.5 μ mあり、n型InP層62は約7.5 μ m幅のメサ5aの外側に形成されている。

【0041】従来の光変調器付半導体レーザダイオードは、この後に、アイソレーション部102を約0.6 μ m程度、ドライエッチングすることによって、アイソレーション部102のn型InP層62を除去する工程が必要である。しかしながら、本実施の形態2においては、アイソレーション部102のn型InP層62は約7.5 μ m幅のメサ5aの外側にしか存在しない。一方、この後のプロセスメサ溝9を5~7 μ m隔てて形成されるので、その溝9を形成する工程で形成されるプロセスメサの幅は5~7 μ mとなり、アイソレーション部102のメサ5aの幅よりも狭いので、ドライエッチングによってアイソレーション部のn型InP層62を除去する工程は必要ない。

【0042】これ以降のプロセスフローは、基本的に従来例と同じである。すなわち、図20、図21に示すように、ウエハ全面にp型InPクラッド層7、p型InPコンタクト層8を成長し、次に、図22、図23に示すように、アイソレーション部のp型InGaAsコンタクト層8をエッチング除去し、最後に、図15に示すように、5~7 μ m間隔で互いに平行な2つのプロセスメサ溝9を設けて、実施の形態2の光変調器付半導体レーザダイオードが完成する。完成した素子のアイソレー

ション部 102 の断面は、図 16 のようになっており、当然のことながら、アイソレーション部に n 型 InP 層 62 は存在しない。

【0043】 以上のように、本実施の形態 2 によれば、アイソレーション部 102 の n 型 InP 層 62 をエッチング除去する工程が必要なくなるので、ウエハプロセスを簡素化できるうえに、十数 Ω 以上の分離抵抗を安定して得ることができ、ひいては、高周波特性の良好で高速動作可能な素子を、高歩留まりで製造することができる。

【0044】 実施の形態 3. 次に、本発明に係る実施の形態 3 の光変調器付半導体レーザダイオードの製造方法について、図 24～図 28 を参照しながら説明する。本実施の形態 3 の説明に用いる図において、実施の形態 1、2 と同様のものには同様の符号を付して示している。

【0045】 本製造方法では、まず、図 24 に示すように、InP 基板上 1 上に、レーザ発振部の活性層 2 及び変調器部の吸収層 3 を含む所定の結晶層をエピタキシャル成長した後、SiO₂等の絶縁膜 4b でメサ 5a を形成するためのエッチングマスクを形成する。本実施の形態 3 では、この際、SiO₂等の絶縁膜 4b の形状に工夫をしている。すなわち、変調器部およびレーザ発振部の絶縁膜 4b の幅は、従来と同じく、約 6 μ m であるが、アイソレーション部における絶縁膜 4b の幅は、十数 μ m と広くし、かつその長さ（レーザ発振部又は変調器部における光の進行方向の長さをいい、この長さを言う場合は、長さ X という。）が数 μ m と幅に比べて狭くしておく。

【0046】 このように形成したマスクを用いてウェットエッチングによりメサ形成すると、アイソレーション部の絶縁膜幅が広がっている部分はサイドエッチングが三方向から進む。この時、アイソレーション部の絶縁膜の長さ X を [サイドエッチ量 \times 2] に設定しておけば、該絶縁膜の下は結晶がエッチオフ（エッチングにより除去）され、図 24 に示すように該絶縁膜が細長いひさし状になる。なお、レーザ発振部と変調器部のメサ 5a の形状は、従来と同様、なだらかなすそ広がり形状となり、メサ 5a の深さが約 4 μ m の時、活性層 2 あるいは吸収層 3 の幅は約 1.3 μ m になる。

【0047】 次に、図 25 に示すように、メサ 5a の形成に用いた SiO₂膜 4b を選択成長マスクとして用いて、メサ 5a の側面に、電流ブロック層 6 として、高抵抗 InP 層 61 と n 型 InP 層 62 を、MOCVD 法により連続して埋め込み成長する。この時、レーザ発振部および変調器部の電流ブロック層 6 の埋め込み層の断面形状は、図 25 の変調器部の端面に表した形状のように従来と同じ形状になるが、アイソレーション部の断面形状は、図 26 に示すように、電流ブロック層を成長させる時に昇温することにより絶縁膜 4b のひさし垂れ下

がるので、高抵抗 InP 層 61 が InP 基板 1 側から成長していった絶縁膜 4b の垂れ下がったひさしに到達すると、ひさしの下には結晶成長するための材料ガスが供給されなくなるので、ひさし下の成長は停止する。そして、ひさし下の成長が停止した後 n 型 InP 層 62 を成長させることにより、n 型 InP 層 62 がメサ 5a から離れた形状に埋め込むことができる。

【0048】 次に、図 27、図 28 に示すように、アイソレーション部に相当する位置を約 0.6 μ m ドライエッチングすることによって、アイソレーション部の n 型 InP 層 62 を除去する。このとき、本実施の形態 3 においては、アイソレーション部の n 型 InP 層 62 はメサ 5a から離れているため、従来のように、メサ 5a 近傍で n 型 InP 層 62 が残存することはない。また、選択成長マスクとして用いる絶縁膜 4b のアイソレーション部のひさしめ長さをこの後工程で形成されるプロセスメサ幅 5～7 μ m よりも広くするようにすれば、n 型 InP 層 62 はプロセスメサよりも外側にしか存在しないようにできるので、アイソレーション部の n 型 InP 層 62 をエッチング除去する工程そのものをなくすことができ、工程の簡素化と安定化に大きく貢献できさらに好ましい。

【0049】 これ以降のプロセスフローは、基本的に従来例と同じである。すなわち、ウエハ全面に p 型 InP クラッド層、p 型 InGaAs コンタクト層を成長し、次にアイソレーション部の p InGaAs コンタクト層をエッチング除去し、最後に、5～7 μ m 幅のプロセスメサ溝を設けて、実施の形態 3 の光変調器付半導体レーザダイオードが完成する。

【0050】 以上のように、本実施の形態 3 によれば、アイソレーション部の選択成長マスクの形状を上述のように工夫することにより、簡単な方法で、n 型 InP 層をメサから離すことができ、その後のアイソレーション部の n 型 InP 層を除去する工程で、メサ近傍で n 型 InP 層が残存をなくすことができ、十数 Ω 以上の分離抵抗を安定して得ることができる。その結果、高周波特性の良好で高速動作可能な素子を高歩留まりで得ることができる。また、アイソレーション部の選択成長マスクのひさしの幅をプロセスメサ幅よりも広くして、メサの両脇の n 型 InP 層の間の距離をプロセスメサ幅よりも広くすることにより、アイソレーション部の n 型 InP 層 62 をエッチング除去する工程を無くすことができるので、工程の簡素化とプロセスの安定化に大きく貢献することができる。

【0051】 実施の形態 4. 次に、図 29～図 31 を参照しながら、本発明に係る実施の形態 4 の光変調器付半導体レーザダイオードの製造方法について説明する。図 29～図 31 において、既出の図と同一のものには同様の符号を付して示している。本実施の形態 4 は、実施の形態 3 における絶縁膜 4b の細長いひさしの数を 2 本に

した絶縁膜 4c を用いたものである。従って、本実施の形態 4 の光変調器付半導体レーザダイオードは、アイソレーション部に導波路方向に 2 箇所以上、n 型 InP 層を除去した領域を有するものとなる。以下、実施の形態 4 の光変調器付半導体レーザダイオードの製造方法を詳細に説明する。

【0052】本方法においてはまず、図 29 に示すように、従来と同様、InP 基板上 1 上に、レーザ発振部の活性層 2、変調器部の吸収層 3 を含む所定の結晶層をエピタキシャル成長した後、SiO₂等の絶縁膜 4c でメサ形成用のエッチングマスクを形成し、ウェットエッチングによりメサ形成したところである。絶縁膜 4c の細長いひさしに相当する部分の寸法を、実施の形態 3 と同様、幅を十数 μm 、長さ X を数 μm の [サイドエッチ量 $\times 2$] 以下にする。このようにすると、細長いひさしの数が 2 本以上においても、ウェットエッチングによるサイドエッチを利用して、実施の形態 3 と同様の形状にメサを形成することができる。なお、この図では、絶縁膜の細長いひさしの数は 2 本であるが、3 本以上でも構わない。

【0053】図 30、図 31 は、SiO₂膜からなる絶縁膜 4c を選択成長マスクとして用いて、メサ 5a 側面に、電流ブロック層 6 として、高抵抗 InP 層 61 と n 型 InP 層 62 を、MOCVD 法により連続して埋め込み成長したところである。本実施の形態 4 のように、SiO₂等の絶縁膜 4c の細長いひさしが 2 本以上ある場合、ブロック層成長時の昇温で細長いひさしのそれぞれが垂れ下がるので、アイソレーション部内に、n 型 InP 層 62 においてメサ 5a から離れている領域がひさしの数だけ形成される。

【0054】このように、本実施の形態 4 は、実施の形態 3 と同様の作用効果を有しさらにアイソレーション部の選択成長マスクの細長いひさしの数を複数にすることによって、ひさしの長さ X に制限されずにどのようなアイソレーション幅にも適用することができる。また、アイソレーション部の選択成長マスクのひさしの幅をプロセスメサ幅よりも広くすることにより、メサの両脇の n 型 InP 層の距離をプロセスメサ幅 5 ~ 7 μm よりも広くすることができれば、アイソレーション部の n 型 InP 層をエッチング除去する工程が必要なくなるのは、実施の形態 3 と同様である。

【0055】実施の形態 5。以下、本発明に係る実施の形態 5 の光変調器付半導体レーザダイオードについて、図 32 ~ 図 36 を参照しながら説明する。図 32 ~ 図 36 に於いて、1 は n 型 InP 基板、2 は InGaAsP 活性層、3 は吸収層、63 は高抵抗 InP 電流ブロック層、64 は n 型 InP 層、75 は p 型 InP クラッド層、76 は p 型 InGaAs コンタクト層、77 は SiO₂等の絶縁膜を示す。本実施の形態 5 では、SiO₂絶縁膜 77 からなるマスクの幅は約 6 μm とし、活性層幅

は約 1.3 μm とする。また、高抵抗 InP 層電流ブロック層 63 のドーパントとしては、例えば Fe を用いることができる。

【0056】ここで、本実施の形態 5 は、DFB-レーザ発振部、変調器部において図 35 に示すように深さ 4 μm 、素子分離部で図 36 に示すように深さ 3 μm と、深さの異なるメサを形成した後、高抵抗 InP 電流ブロック層 3 を 3 μm の厚さに、n 型 InP 層 64 を 1 μm の厚さに、合計 4 μm の厚さに成長するようにしたことを特徴とし、これにより素子分離部における分離抵抗を高くしたものである。

【0057】すなわち、本実施の形態 5 の光変調器付半導体レーザダイオードの製造方法では、メサを形成するときに、DFB-レーザ発振部及び変調器部のみをあらかじめドライエッチングにより 1 μm エッチングした後、アイソレーション部を含む全体をウェットエッチングで 3 μm エッチングすることにより深さの異なるメサを形成する。そして、そのメサの両側にまず高抵抗 InP 電流ブロック層 3 を 3 μm の厚さに成長させる。このようにすると、図 35 に示すように、DFB-レーザ発振部及び変調器部では絶縁膜 77 の両側面と高抵抗 InP 電流ブロック層 63 の表面との間に隙間ができるのに対して、アイソレーション部では図 36 に示すように絶縁膜 77 の両側面に接するところまで、高抵抗 InP 電流ブロック層 63 が成長する。

【0058】このような状態で、n 型 InP 層 64 を 1 μm の厚さに成長させると、図 35 に示すように、DFB-レーザ発振部及び変調器部ではメサに接するように n 型 InP 層 64 が成長されるのに対して、アイソレーション部では図 36 に示すように絶縁膜 77 の外側に n 型 InP 層 64 がメサから離れて成長される。

【0059】次に、この状態で、SiO₂絶縁膜 77 をエッチングマスクとして約 1 μm エッチングすることにより、SiO₂絶縁膜 77 の両側の n 型 InP 層 64 を除去する。そして、絶縁膜 77 をフッ酸系水溶液で除去し、全面に p 型 InP クラッド層 75 を約 1.5 μm の厚さに成長し、p 型 InGaAs コンタクト層 76 を約 1 μm の厚さに成長する。

【0060】以上のように構成された変調器付半導体レーザダイオードにおいて、順方向電圧が印加される DFB-レーザ発振部では注入された電子とホールが高抵抗 (Fe ドープ) InP 層 63 と n 型 InP 層 64 でブロックされるため、高出力動作が可能となる。一方、素子分離部では低抵抗 n 型 InP 64 が除去されているため、DFB-レーザ発振部と変調器部の間のアイソレーション抵抗を高くすることが出来、変調器部に高周波を印加した場合に問題となる DFB-レーザ発振部への電流リークが抑制できる。本実施の形態 5 では、具体的にはアイソレーション抵抗値として、10 k Ω 以上は確保でき、n 型 InP 層を除去しない場合に比べ 5 倍以上高

抵抗化が図れる。

【0061】本実施の形態5では、素子分離部のみn型InP層を除去したが、変調器部のn型InP層も同様の方法を用いて除去するようにしても良い。また、メサ深さと、電流ブロック層の厚み等の具体的な数値は一例として示したものであり、本発明はこれらの数値に限定されるものではない。

【0062】実施の形態6. 以下、本発明に係る実施の形態6の光変調器付半導体レーザダイオードの製造方法について説明する。本実施の形態6の製造方法では、アイソレーション部において、メサを形成するためのマスクを兼ねたストライプ状のSiO₂絶縁膜77の両側に図37の平面図に示すように、成長速度を増大させるためのマスク77aを形成して、高抵抗InP層電流ブロック層63とn型InP層64を成長させたことを特徴としている。本実施の形態6の製造方法は、半導体レーザダイオードの製造に用いられる、MOCVD、MBE等の結晶成長法では、結晶成長する領域が狭いほど成長速度が速くなること（例えばIEEE, JOURNAL OF QUANTUM ELECTRONICS, VOL. 29, NO. 6, JUNE 1993）を利用したものである。

【0063】すなわち、本実施の形態6の製造方法において、アイソレーション部のSiO₂絶縁膜77の両側に膜厚増大用マスク77aが形成されているので、図38の断面図に示すようにSiO₂絶縁膜77と膜厚増大用マスク77aの間では、高抵抗InP電流ブロック層63が盛り上がるように厚く成長される。この高抵抗InP電流ブロック層をSiO₂絶縁膜77と膜厚増大用マスク77aの各側面に接するところまで成長させた後、p型InP層64を成長させると図38に示すようにメサ5bから離れてp型InP層64が形成される。

【0064】尚、図38において点線80は、膜厚増大用マスク77aを形成しないで、高抵抗InP電流ブロック層63を成長させた、レーザ発振部及び変調器部の形状を示している。従って、レーザ発振部及び変調器部では、高抵抗InP電流ブロック層63はメサ5bに接するように成長される。

【0065】その後、実施の形態5と同様にしてn型InP層64を除去し、さらにSiO₂マスク77を除去した後、p型InPクラッド層及びp型InGaAsコンタクト層を成長すると、素子分離部のみn型InPが除去された構造の光変調器付半導体レーザダイオードが作製される。以上のようにしても、実施の形態5と同様、DFB-レーザ発振部と変調器部の間のアイソレーション抵抗を高くすることが出来、変調器部に高周波を印加した場合に問題となるDFB-レーザ発振部への電流リークが抑制できる。

【0066】また、本実施の形態6において、マスクの寸法は、例えば、中央のストライプ部のSiO₂絶縁膜

77が約6μm、中央のSiO₂絶縁膜77と両側のマスク77aとの間隔を10μm程度に設定し、両側のマスク77aの幅は20から50μmに設定する。

【0067】

【発明の効果】以上、詳細に説明したように、本発明に係る第1の光変調器付半導体レーザダイオードは、上記高抵抗InP層は、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より低くなるように形成された上記メサ部両側の面上に成長されているので、アイソレーション部におけるn型InP層の残存が極めて少ない光変調器付半導体レーザダイオードとできることから、アイソレーション部の分離抵抗を高くでき、高速動作をさせることができる。

【0068】また、本発明に係る第1の光変調器付半導体レーザダイオードでは、上記メサ部を上記InP基板上に活性層を含む半導体層を形成して、該メサ部の両側の半導体層をドライエッチングにより除去することにより形成することにより、アイソレーション部におけるn型InP層の残存をより少なくでき、よりアイソレーション部の分離抵抗を高くでき、高速動作をさせることができる。

【0069】また、本発明に係る第2の光変調器付半導体レーザダイオードは、上記メサ部の両側に溝が形成されかつ上記メサ部は上記アイソレーション部において、上記メサ部の両側面がそれぞれ、上記各溝の側壁と一致するように、かつ上記レーザ発振部及び光変調器部において上記メサ部の両側面が上記各溝の側壁の内側に位置するように形成されているので、製造過程ではアイソレーション部に全くn型InP層を形成することなく、製造することができ、アイソレーション部におけるn型InP層の全く存在しない光変調器付半導体レーザダイオードとできる。従って、アイソレーション部の分離抵抗を高くでき、高速動作をさせることができる。

【0070】また、本発明に係る第3の光変調器付半導体レーザダイオードは、上記メサ部は上記レーザ発振部、上記アイソレーション部及び光変調器部において略同一の幅を有し、上記高抵抗InP層は、上記アイソレーション部において上記レーザ発振部及び光変調器部より広い幅の選択成長マスクを用いて成長されている。これによって、アイソレーション部におけるn型InP層の残存が極めて少ない光変調器付半導体レーザダイオードとできるので、アイソレーション部の分離抵抗を高くでき、高速動作をさせることができる。

【0071】さらに、本発明に係る第4の光変調器付半導体レーザダイオードは、上記高抵抗InP層は、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より高くなるように形成された上記メサ部両側の面上に成長されている。これによって、アイソレーション部におけるn型InP層の残存が極めて少ない光変調器付半導体レーザダイオードとできるので、アイソ

レーション部の分離抵抗を高くでき、高速動作をさせることができる。

【0072】またさらに、本発明に係る第5の光変調器付半導体レーザダイオードは、上記高抵抗InP層は、上記アイソレーション部において上記メサ部から離れた位置で盛り上がるように成長されているので、アイソレーション部におけるn型InP層の残存が極めて少なくできることから、アイソレーション部の分離抵抗を高くでき、高速動作をさせることができる。

【0073】また、本発明に係る第2～第5の光変調器付半導体レーザダイオードでは、上記メサ部は、上記半導体基板上に活性層を含む半導体層を形成して、該メサ部の両側の半導体をウェットエッチングで除去することにより形成することにより、容易にメサを形成することができ、安価に製造できる。

【0074】また、本発明に係る第1の光変調器付半導体レーザダイオードの製造方法は、上記アイソレーション部において上記レーザ発振部及び上記光変調器部より深くなるようにエッチングして上記メサ部を形成するエッチング工程と、上記メサ部の両側に高抵抗InP層を成長させ後、上記レーザ発振部及び上記光変調器部において、上記メサ部の上面端に到達し、かつ上記高抵抗InP層上の上記アイソレーション部においては上記メサの上面端に到達しないようにn型InP層を成長させる成長工程と、上記アイソレーション部のn型InP層を除去する除去工程とを含んでいる。これによって、上記除去工程におけるアイソレーション部におけるn型InP層の残存量を極めて少なくできるので、アイソレーション部の分離抵抗を高くでき、高速動作をさせることができる光変調器付レーザダイオードを製造することができる。

【0075】また、本発明に係る第2の光変調器付レーザダイオードの製造方法、マスク形状に対応させて上記アイソレーション部のメサ部の幅が上記レーザ発振部及び上記光変調器部の幅より広いメサ部を形成するエッチング工程と、上記マスクを選択成長マスクとして上記メサ部の両側に高抵抗InP層を成長させ、該高抵抗InP層上にn型InP層を成長させる成長工程と、上記レーザ発振部及び光変調器部における上記メサ部の幅より広くかつ上記アイソレーション部における上記メサ部の幅より狭い間隔で、上記メサ部に対して対称になるように互いに平行な2つの溝を形成する溝形成工程とを含んでいる。これによって、製造過程において、n型InP層を形成することなく製造しているので、アイソレーション部においてn型InP層が全く存在しない分離抵抗の高い高速動作が可能な光変調器付レーザダイオードを製造することができる。

【0076】さらに、本発明に係る第3の光変調器付半導体レーザダイオードの製造方法は、上記メサ部上に設けられた、上記アイソレーション部において幅の広い部

分を有する選択成長マスクとして上記メサ部の両側に高抵抗InP層を成長させ、該高抵抗InP層上にn型InP層を成長させる成長工程と、上記アイソレーション部におけるn型InP層を除去する除去工程とを含んでいるので、アイソレーション部において上記n型InP層を上記メサ部に接しないように成長させることができ、上記除去工程におけるアイソレーション部におけるn型InP層の残存量を極めて少なくできる。従って、本製造方法によれば、アイソレーション部においてn型InP層の残存量が極めて少ない分離抵抗の高い高速動作が可能な光変調器付レーザダイオードを製造することができる。

【0077】また、本発明に係る第3の光変調器付半導体レーザダイオードの製造方法において、上記成長工程で、上記アイソレーション部に幅の広い部分を複数箇所設けたマスクを選択成長マスクとして用いることにより、アイソレーション部におけるn型InP層の残存量をより少なくできる。従って、本製造方法によれば、分離抵抗のより高いより高速動作が可能な光変調器付レーザダイオードを製造することができる。

【0078】また、本発明に係る第4の光変調器付半導体レーザダイオードの製造方法は、上記メサ部に対応してマスクを形成して該マスクの両側の半導体層を上記アイソレーション部において上記レーザ発振部及び上記光変調器部より浅く除去することにより上記メサ部を形成するエッチング工程と、上記マスクを選択成長マスクとして高抵抗InP層を上記アイソレーション部において上記選択成長マスクの下端に接するまで成長させた後、さらに該高抵抗InP層上にn型InP層を成長させる成長工程と、上記アイソレーション部のn型InP層を除去する除去工程とを含んでいるので、アイソレーション部において上記n型InP層を上記メサ部に接しないように成長させることができ、上記除去工程におけるアイソレーション部におけるn型InP層の残存量を極めて少なくできる。従って、本製造方法によれば、分離抵抗の高い高速動作が可能な光変調器付レーザダイオードを製造することができる。

【0079】また、本発明に係る第5の光変調器付半導体レーザダイオードの製造方法は、上記メサ部上に設けられた選択成長マスクと、上記アイソレーション部に該選択成長マスクの両側に所定の間隔を隔てて設けられた成長膜増大マスクとを用いて上記メサ部の両側に高抵抗InP層を成長させた後、さらに該高抵抗InP層上にn型InP層を成長させて、上記アイソレーション部のn型InP層を除去しているので、アイソレーション部において上記n型InP層を上記メサ部に接しないように成長させることができ、上記除去工程におけるアイソレーション部におけるn型InP層の残存量を極めて少なくできる。従って、本製造方法によれば、分離抵抗の高い高速動作が可能な光変調器付レーザダイオードを

製造することができる。

【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 の光変調器付半導体レーザダイオードの構成を示す斜視図である。

【図 2】 図 1 における A-A' 線についての断面図である。

【図 3】 実施の形態 1 の光変調器付半導体レーザダイオードの製造方法において、メサ部を形成した後の斜視図である。

【図 4】 実施の形態 1 の光変調器付半導体レーザダイオードの製造方法において、n 型 InP 層を成長させた後の斜視図である。

【図 5】 図 4 のアイソレーション部における断面図である。

【図 6】 実施の形態 1 の光変調器付半導体レーザダイオードの製造方法において、アイソレーション部の n 型 InP 層を除去した後の斜視図である。

【図 7】 図 6 のアイソレーション部における断面図である。

【図 8】 実施の形態 1 の光変調器付半導体レーザダイオードの製造方法において、p 型 InGaAs コンタクト層を形成した後の斜視図である。

【図 9】 図 8 のアイソレーション部における断面図である。

【図 10】 実施の形態 1 の光変調器付半導体レーザダイオードの製造方法において、アイソレーション部の p 型 InGaAs コンタクト層を除去した後の斜視図である。

【図 11】 図 10 のアイソレーション部における断面図である。

【図 12】 実施の形態 1 の原理を説明するための、成長過程 1 説明用の図面である。

【図 13】 実施の形態 1 の原理を説明するための、成長過程 2 説明用の図面である。

【図 14】 実施の形態 1 の原理を説明するための、成長過程 3 説明用の図面である。

【図 15】 本発明に係る実施の形態 2 の光変調器付半導体レーザダイオードの構成を示す斜視図である。

【図 16】 図 15 における B-B' 線についての断面図である。

【図 17】 実施の形態 2 の光変調器付半導体レーザダイオードの製造方法において、メサを形成した後の斜視図である。

【図 18】 実施の形態 2 の光変調器付半導体レーザダイオードの製造方法において、電流ブロック層を埋め込み成長させた後の斜視図である。

【図 19】 図 18 のアイソレーション部の断面図である。

【図 20】 実施の形態 2 の光変調器付半導体レーザダイオードの製造方法において、p 型 InP コンタクト層

を形成した後の斜視図である。

【図 21】 図 21 のアイソレーション部の断面図である。

【図 22】 実施の形態 2 の光変調器付半導体レーザダイオードの製造方法において、アイソレーション部の p 型 InP コンタクト層を形成した後の斜視図である。

【図 23】 図 21 のアイソレーション部の断面図である。

【図 24】 実施の形態 3 の光変調器付半導体レーザダイオードの製造方法において、メサを形成した後の斜視図である。

【図 25】 実施の形態 3 の光変調器付半導体レーザダイオードの製造方法において、電流ブロック層を埋め込み成長させた後の斜視図である。

【図 26】 図 25 のアイソレーション部の断面図である。

【図 27】 実施の形態 3 の光変調器付半導体レーザダイオードの製造方法において、アイソレーション部の n 型 InP 層を除去した後の斜視図である。

【図 28】 図 27 のアイソレーション部の断面図である。

【図 29】 実施の形態 4 の光変調器付半導体レーザダイオードの製造方法において、メサを形成した後の斜視図である。

【図 30】 実施の形態 4 の光変調器付半導体レーザダイオードの製造方法において、電流ブロック層を埋め込み成長させた後の斜視図である。

【図 31】 図 30 のアイソレーション部の断面図である。

【図 32】 本発明に係る実施の形態 5 の光変調器付半導体レーザダイオードの概略構成を示す斜視図である。

【図 33】 図 32 の変調器部における断面図である。

【図 34】 図 32 のアイソレーション部における断面図である。

【図 35】 実施の形態 5 の光変調器付半導体レーザダイオードの製造方法において、高抵抗 InP 層電流ブロック層及び n 型 InP 層を埋め込み成長させた後の変調器部における断面図である。

【図 36】 実施の形態 5 の光変調器付半導体レーザダイオードの製造方法において、高抵抗 InP 層電流ブロック層及び n 型 InP 層を埋め込み成長させた後のアイソレーション部における断面図である。

【図 37】 実施の形態 6 のマスク構造を示す平面図である。

【図 38】 実施の形態 6 の光変調器付半導体レーザダイオードの製造方法において、p 型 InP 層を成長させた後の断面図である。

【図 39】 従来例の光変調器付半導体レーザダイオードの製造方法において、メサを形成した後の斜視図である。

【図 40】 従来例の光変調器付半導体レーザダイオードの製造方法において、電流ブロック層を埋め込み成長させた後の斜視図である。

【図 41】 図 40 の E-E' 線についての断面図である。

【図 42】 従来例の光変調器付半導体レーザダイオードの製造方法において、アイソレーション部の n 型 InP 層を除去した後の斜視図である。

【図 43】 図 42 のアイソレーション部における断面図である。

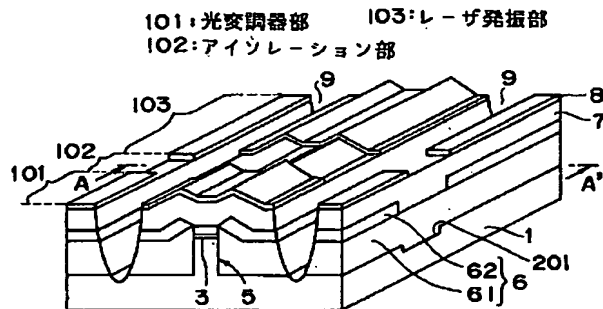
【図 44】 従来例の光変調器付半導体レーザダイオードの製造方法において、p 型 InP コンタクト層を形成した後の斜視図である。

【図 45】 図 44 のアイソレーション部の断面図である。

【図 46】 従来例の光変調器付半導体レーザダイオードの製造方法において、アイソレーション部の p 型 InP コンタクト層を形成した後の斜視図である。

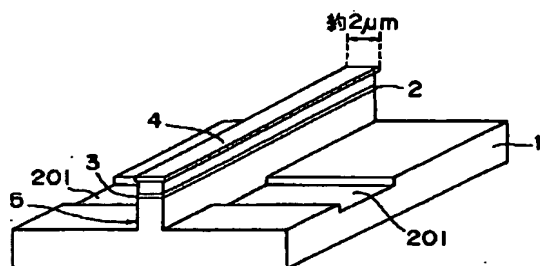
【図 47】 図 46 のアイソレーション部の断面図である。

【図 1】



- 1: InP 基板 9: メサ溝
3: 吸収層
5: メサ
6: 電流ブロック層
61: 高抵抗 InP 層
62: n 型 InP 層
7: P 型 InP クラッド層
8: P 型コンタクト層

【図 3】



る。

【図 48】 従来例の光変調器付半導体レーザダイオードの全体構成を示す斜視図である。

【図 49】 図 48 の F-F' 線についての断面図である。

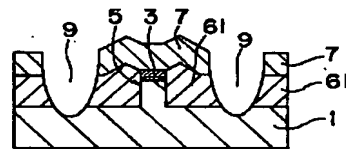
【図 50】 従来例の問題点を説明するためのアイソレーション部の一例の断面図である。

【図 51】 従来例の問題点を説明するためのアイソレーション部の他の例の断面図である。

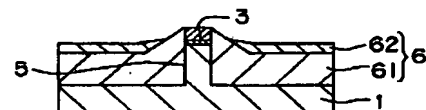
10 【符号の説明】

1 InP 基板、2 活性層、3 吸収層、4 絶縁膜、5 メサ、6 電流ブロック層、7、75 p 型 InP クラッド層、8、76 p 型 InGaAs コンタクト層、61 高抵抗 InP 層、62、64 n 型 InP 層、63 高抵抗 InP 電流ブロック層、77 SiO₂ 絶縁膜、77a 膜厚増大用マスク、101 変調器部、102 アイソレーション部、103 レーザ発振部、201 凹部。

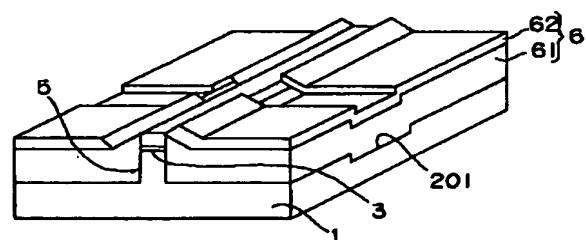
【図 2】



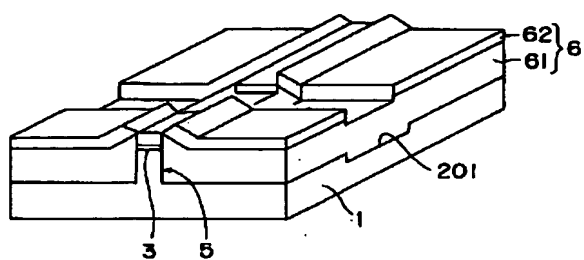
【図 5】



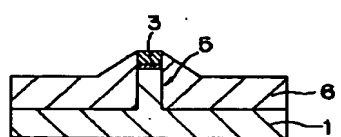
【図 4】



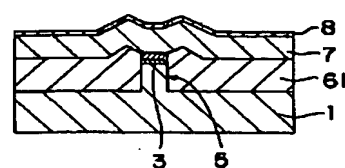
【図 6】



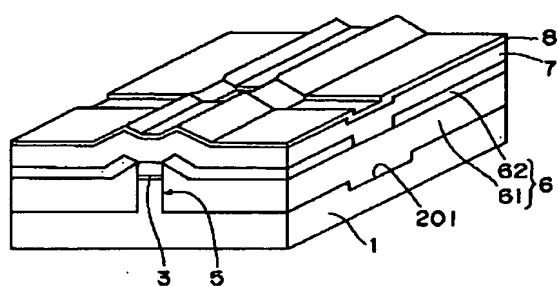
【図 7】



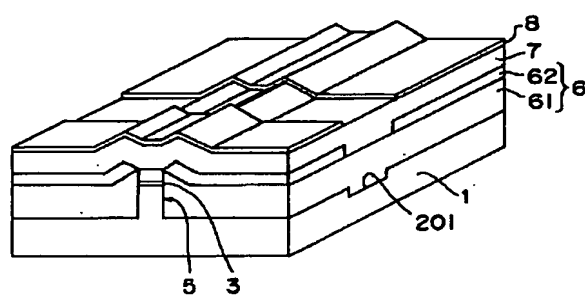
【図 9】



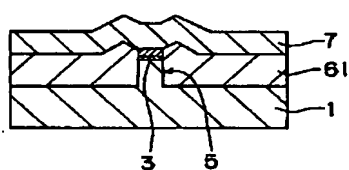
【図 8】



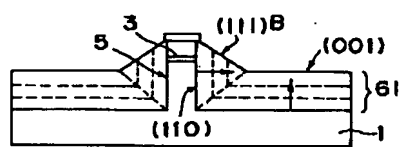
【図 10】



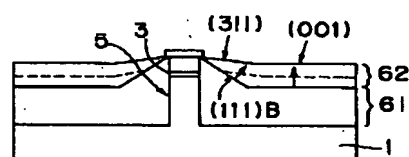
【図 11】



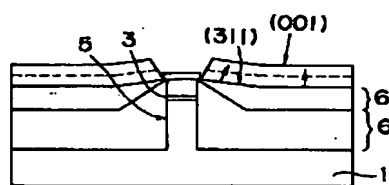
【図 12】



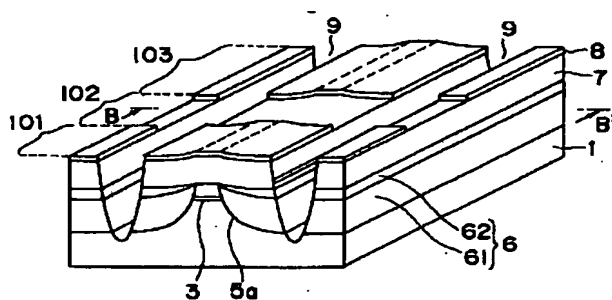
【図 13】



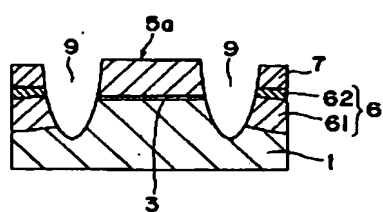
【図 14】



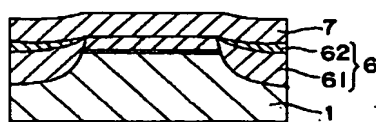
【図 15】



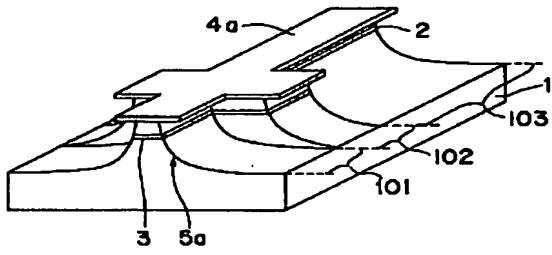
【図 16】



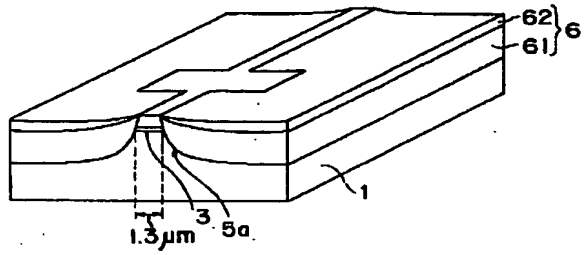
【図 23】



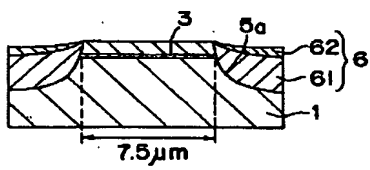
【図 17】



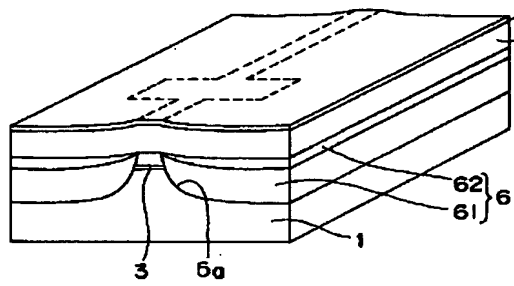
【図 18】



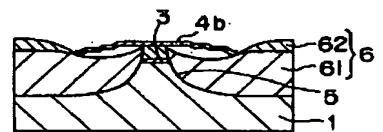
【図 19】



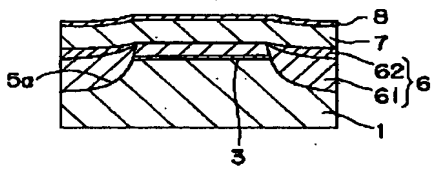
【図 20】



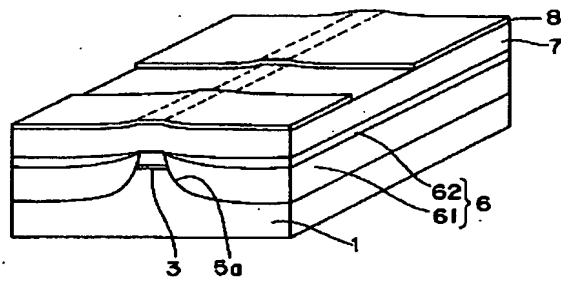
【図 26】



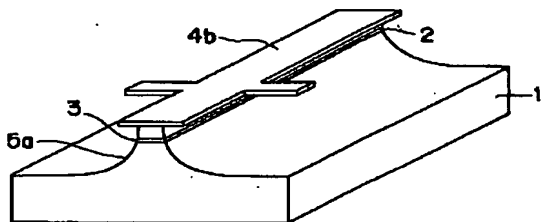
【図 21】



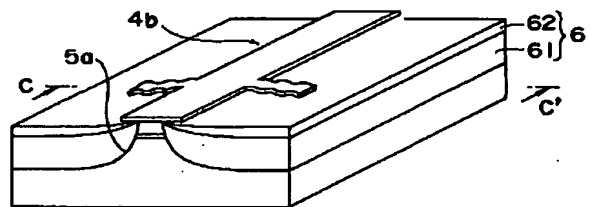
【図 22】



【図 24】



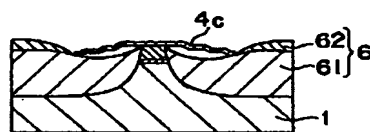
【図 25】



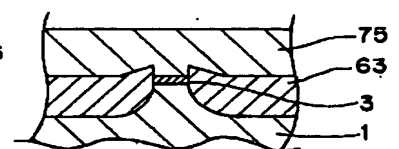
【図 28】



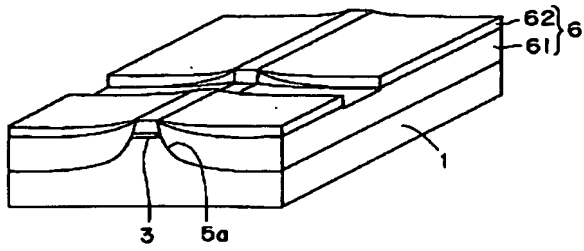
【図 31】



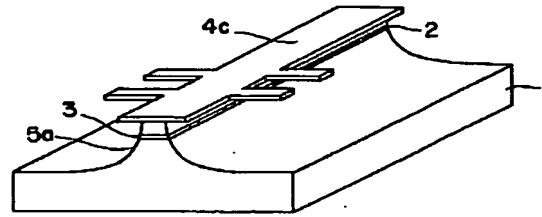
【図 34】



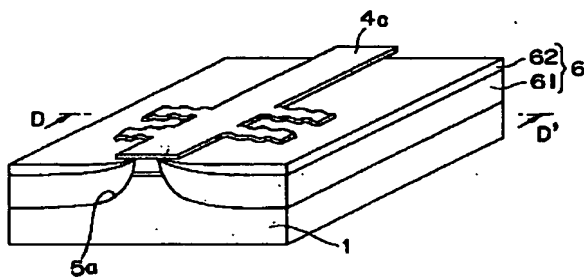
【図 27】



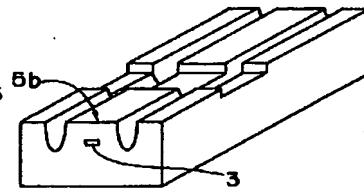
【図 29】



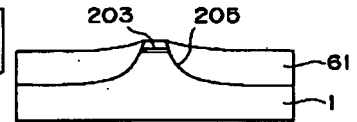
【図 30】



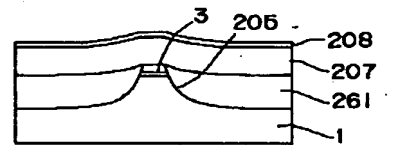
【図 32】



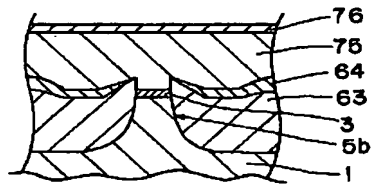
【図 43】



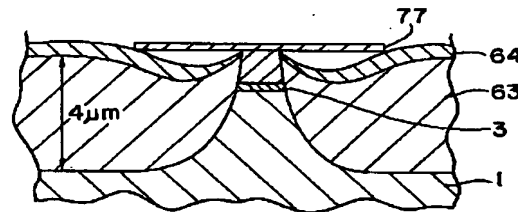
【図 45】



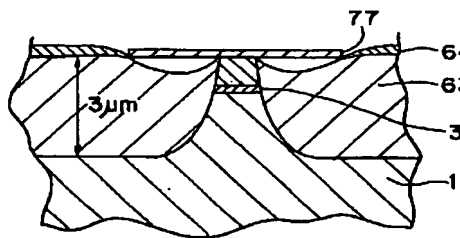
【図 33】



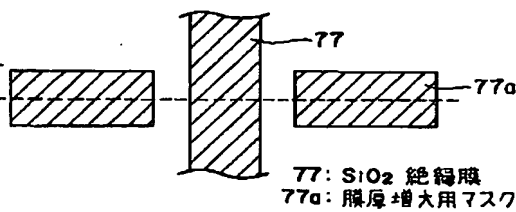
【図 35】



【図 36】

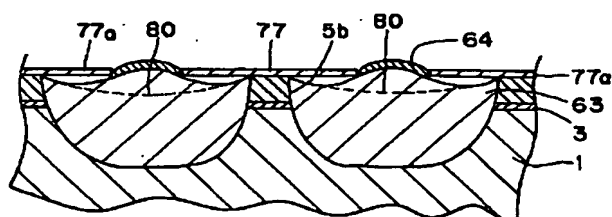


【図 37】

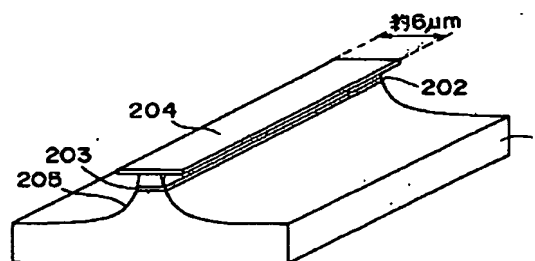


77: SiO₂ 絶縁膜
77a: 膜厚増大用マスク

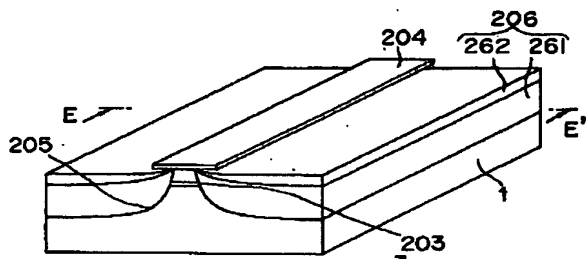
【図 38】



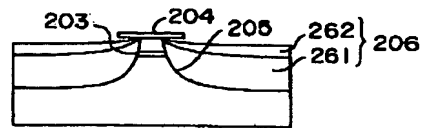
【図 39】



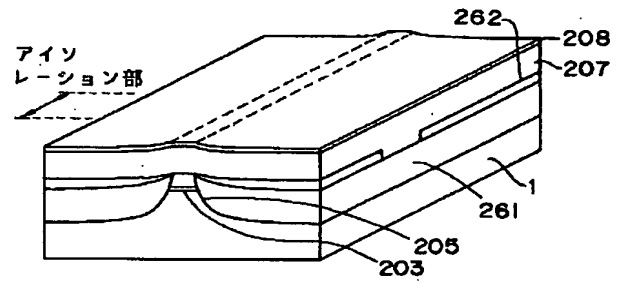
【図 40】



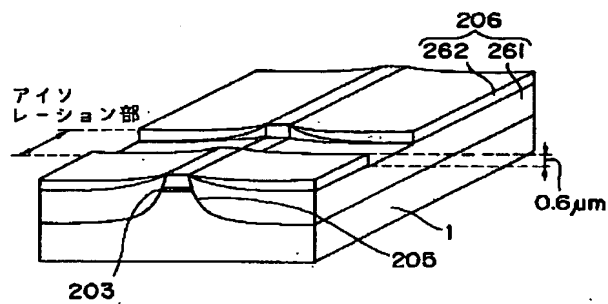
【図 41】



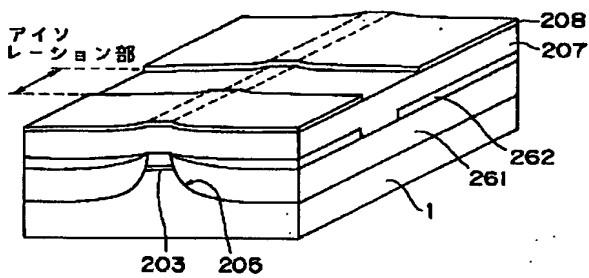
【図 44】



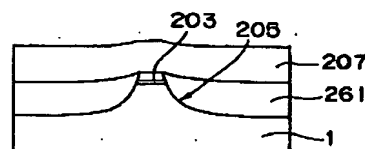
【図 42】



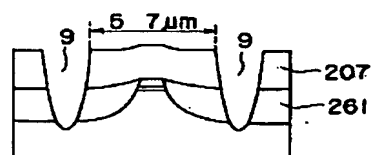
【図 46】



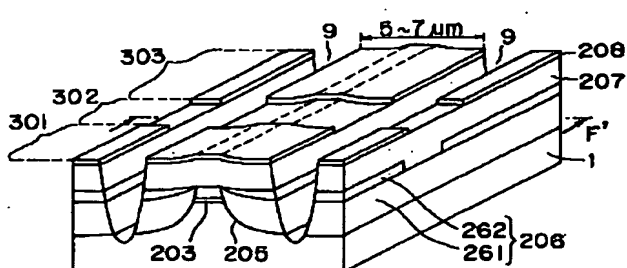
【図 47】



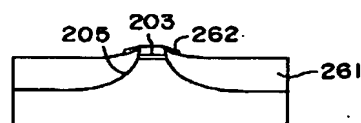
【図 49】



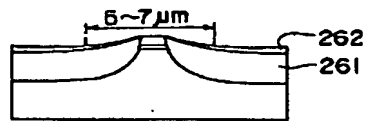
【図 48】



【図 50】



【図 51】



フロントページの続き

(72)発明者 瀧口 透
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 三橋 豊
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 2H079 AA02 AA13 BA01 CA05 DA16
DA22 EA07 EB06 JA04 KA18
5F043 AA15 BB08 DD15 DD30 FF05
GG06 GG10
5F073 AA22 AA64 AA89 AB12 AB21
BA01 CA12 CB02 CB11 DA05
DA22 DA24 EA14